

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re the Application of:

Katsuaki MATSUI

New Application

Filed: April 23, 2001

Attorney Dkt. No.: 32011-171408

#2 / Priority
T. Y. W. H.
8-10-01

For: SEMICONDUCTOR DEVICE HAVING A MODE OF FUNCTIONAL TEST

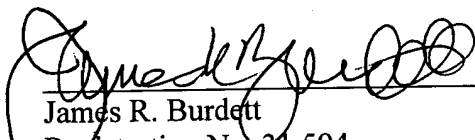
SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Japanese Application No. 216851/2000 upon which a claim to priority was made under 35 U.S.C. §119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,


James R. Burdett
Registration No. 31,594

Venable
Post Office Box 34385
Washington, D.C. 20043-9998
Telephone: (202) 962-4800
Facsimile: (202) 962-8300

Date: April 23, 2001

JRB:lrh
#278978

0H-548A



**PATENT OFFICE
JAPANESE GOVERNMENT**

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: July 18, 2000
Application Number: 2000-216851
Applicant(s): Oki Electric Industry Co., Ltd.

Dated January 12, 2001

Commissioner,
Patent Office Kozo Oikawa

Certificate No. 2000-3111816

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1036 U.S. PTO
09/839671
04/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月18日

出 願 番 号

Application Number:

特願2000-216851

出 願 人

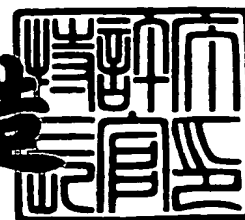
Applicant(s):

沖電気工業株式会社

2001年 1月12日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3111816

【書類名】 特許願

【整理番号】 OH003579

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28
H01L 21/66

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 松井 克晃

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 集積回路内に形成された回路ブロックの機能試験を行うモードを備える半導体装置において、

前記機能試験時に使用される試験用信号パスの配線遅延を判定するための、遅延測定用信号パスを備えることを特徴とする半導体装置。

【請求項 2】 前記集積回路の第 1 の信号パッドに供給された入力信号を前記回路ブロックに導く第 1 の信号パスと、

前記回路ブロックの出力信号を前記集積回路の第 2 の信号パッドから出力させる第 2 の信号パスと、

前記第 1 のパッドに供給された前記入力信号を第 3 の信号パッドから出力させる、前記第 1 のパスの信号遅延時間と前記第 2 の信号遅延時間との和と実質的に同じ信号遅延時間の、第 3 の信号パスと、

を備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記集積回路の第 4 の信号パッドに供給された入力信号を前記回路ブロックに導く第 4 の信号パスと、

前記回路ブロックの出力信号または前記入力信号を入力して選択的に出力する第 1 のマルチプレクサと、

前記第 1 のマルチプレクサの出力信号を第 5 の信号パッドから出力させる第 5 の信号パスと、

を備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記回路ブロックの出力信号を第 6 の信号パッドから出力させる第 6 の信号パスと、

前記回路ブロックの前記出力信号を入力・保持するラッチと同じ構成の試験用ラッチと、

この試験用ラッチの出力信号を第 7 の信号パッドから出力させる第 7 の信号パスと、

を備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記集積回路の第 8 の信号パッドに供給された第 1 の入力信号を前記回路ブロックに導く第 8 の信号パスと、

前記集積回路の第 9 の信号パッドに供給された第 2 の入力信号を前記回路ブロックに導く第 9 の信号パスと、

前記回路ブロックの前記第 1 の入力信号または前記第 2 の入力信号を入力して選択的に出力する第 2 のマルチプレクサと、

前記第 2 のマルチプレクサの出力信号を第 1 0 の信号パッドから出力させる第 1 0 の信号パスと、

を備えることを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置に関し、より詳細には、集積回路内に形成された回路ブロックの機能試験を行うモードを備える半導体装置に関する。

【0 0 0 2】

【従来の技術】

半導体装置の集積回路としては、例えば、複数の大規模なマクロセルを混載させたものが知られている。マクロセルとは、既に個別に設計されていた複数の小規模な回路ブロックを組み合わせることによって構成された、回路ブロックである。例えば R A M (Random Access Memory) 等として、マクロセルが採用される。マクロセルを採用することにより、設計作業を容易化することができる。

【0 0 0 3】

集積回路にマクロセルを採用した場合、半導体装置の試験工程で、そのマクロセルのみの機能試験を行う場合がある。このため、集積回路内に、そのマクロセルの機能試験を行うための回路が設けられる場合がある。

【0 0 0 4】

図 6 は、従来の機能試験回路の構成を説明するための回路図である。

【0 0 0 5】

図 6 の例では、マクロセル 6 0 1 は、信号入力端 D、クロック入力端 C L K お

よび信号出力端Qを有している。

【0006】

マルチプレクサ602, 603, 604は、選択信号として信号TESTを入力する。信号TESTは、入力パッド605を介して、外部から入力される。信号TESTが通常動作モード（非機能試験モード）を示しているとき、マルチプレクサ602は他の回路ブロック等（図示せず）の出力信号 S_{61} を選択し、マルチプレクサ603は他の回路ブロック等（図示せず）のクロック S_{62} を選択する。また、マルチプレクサ604は、他の回路ブロック（図示せず）の出力信号 S_{63} を選択する。一方、信号TESTが機能試験モードを示しているとき、マルチプレクサ602はテスト用信号TDを選択し、マルチプレクサ603はテスト用クロックTCLKを選択する。また、マルチプレクサ604は、マクロセル601の出力信号TQを選択する。ここで、テスト用信号TDはパッド606を介して入力され、テスト用クロックTCLKはパッド607を介して入力される。また、テスト用出力信号TQは、パッド608から、外部に出力される。

【0007】

このような構成によれば、外部からパッド606, 607に供給されたテスト用信号TDおよびテスト用クロックTCLKに対応する出力信号TQを、パッド608から読み出すことによって、マクロセル601の機能試験を行うことができる。

【0008】

【発明が解決しようとする課題】

一般に、マクロセル601の機能試験としては、アクセスタイムの試験やセットアップタイムの試験等が、知られている。

【0009】

アクセスタイムとは、マクロセル601の信号入力端Dが信号を取り込んでから、信号出力端Qが信号を出力するまでの、所要時間である。アクセスタイムが設計値よりも長い場合、次段の回路を正しく動作させることができない。ここで、信号入力端Dは、クロックCLKの入力タイミング（立ち上がりタイミングまたは立ち下がりタイミング）で、信号を取り込む。したがって、アクセスタイム

を測定するためには、クロック入力端CLKがクロックを入力してから、信号出力端Qが信号を出力するまでの、所要時間を測定すればよい。

【0010】

また、セットアップタイムとは、信号入力端Dに信号電位が印加されてからクロック入力端CLKにクロックが入力されるまでの許容時間差、および、クロック入力端CLKにクロックが入力されてから信号入力端Dに対する信号電位の印加が終了するまでの許容時間差である。マクロセル601が信号Dを正しく取り込むためには、信号入力端Dに信号電位が印加されてからクロック入力端CLKにクロックが入力されるまでの時間差が、所定の許容時間差以上であることが必要である。同様に、マクロセル601が信号Dを正しく取り込むためには、クロック入力端CLKにクロックが入力されてから信号入力端Dに対する信号電位の印加が終了するまでの時間差が所定の許容時間差以上であることが必要である。したがって、これらの許容時間差が設計値よりも長い場合、マクロセル601に、誤った値の信号Dが取り込まれるおそれがある。このため、セットアップタイムの試験では、信号Dの印加開始・終了タイミングとクロック入力タイミングとの時間差を所定値にした場合に、信号Dが正しく読み込まれたかどうかを判定する。信号Dが正しく読み込まれたかどうかは、出力信号TQの値によって判定される。

【0011】

従来の半導体装置では、アクセスタイムの試験を行う場合、パッド606にテスト用信号TDが入力されてから、パッド608に信号TQが出力されるまでの所要時間を測定していた。また、セットアップタイムの試験を行う場合には、パッド606へのテスト用信号TDの印加を開始・終了するタイミングとパッド607にテスト用クロックTCLKを印加するタイミングとの差を上述の所定値に設定したときの、出力Qの信号値を読み出していた。

【0012】

しかしながら、パッド606、607、608とマクロセル601との間の配線距離が長い場合、配線遅延が無視できなくなって、正確な機能試験が行えなくなる。例えば、上述のアクセスタイムの試験では、パッド606と信号入力端D

との間の配線遅延や信号出力端Qとパッド608との間の配線遅延が無視できない場合には、正確な判定を行うことができない。また、上述のセットアップタイムの試験では、パッド606から信号入力端Dまでの配線遅延とパッド607からクロック入力端CLKまでの配線遅延との差が無視できない場合には、正確な判定を行うことができない。

【0013】

このため、配線遅延の影響を排除して正確な機能試験を行うための技術が囑望されていた。

【0014】

【課題を解決するための手段】

この発明は、集積回路内に形成された回路ブロックの機能試験を行うモードを備える半導体装置に関する。

【0015】

そして、機能試験時に使用される試験用信号パスの配線遅延を判定するための遅延測定用信号パスを備える。

【0016】

この発明によれば、信号が試験用信号パスを通過する時間の測定と、信号が遅延測定用信号パスを通過する時間の測定とを行い、両者の差を算出することによって、配線遅延の影響を排除して正確な機能試験を行うことができる。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、本発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【0018】

第1の実施の形態

以下、この発明の第1の実施の形態について、図1および図2を用いて説明する。この実施の形態は、マクロセルのアクセスタイムを正確に判定する半導体装

置の例である。

【0019】

図1は、この実施の形態に係る半導体装置の要部構成を示す回路図である。

【0020】

図1に示したように、この半導体装置は、マクロセル101と、2入力のマルチプレクサ102、103、104、105と、入力パッド106、107、108と、出力パッド109、110とを備えている。

【0021】

マクロセル101は、RAM等を構成し、信号入力端D、クロック入力端CLKおよび信号出力端Qを備えている。後述するように、信号入力端Dおよびクロック入力端CLKは、マルチプレクサ102、103から信号DおよびクロックCLKを入力する。また、信号出力端Qは、図示しない後段の回路ブロック等およびマルチプレクサ104に、出力信号Qを供給する。

【0022】

マルチプレクサ102は、一方の入力端がパッド107に接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号 S_{11} を入力する。また、マルチプレクサ102の出力端は、マクロセル101の信号入力端Dに接続される。さらに、マルチプレクサ102の選択信号入力端は、パッド106に接続される。ここで、マルチプレクサ102の一方の入力端とパッド107とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド107を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0023】

マルチプレクサ103は、一方の入力端がパッド108に接続され、他方の入力端が他の回路ブロック等（図示せず）からのクロック S_{12} を入力する。また、マルチプレクサ103の出力端は、マクロセル101のクロック入力端CLKに接続される。さらに、マルチプレクサ103の選択信号入力端は、パッド106に接続される。マルチプレクサ103の一方の入力端とパッド108とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド108を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0024】

マルチプレクサ104は、一方の入力端がマクロセル101の信号出力端Qに接続され、他方の入力端が他の回路ブロック等（図示せず）の出力信号 S_{13} を入力する。また、マルチプレクサ104の出力端は、パッド109に接続される。さらに、マルチプレクサ104の選択信号入力端は、パッド106に接続される。これにより、パッド109は、機能試験時には信号Qの出力パッドとして使用され、通常動作時には信号 S_{13} の出力パッドとして使用される。

【0025】

マルチプレクサ105は、一方の入力端がマクロセル101のクロック入力端CLKに接続され、他方の入力端が他の回路ブロック等（図示せず）の出力信号 S_{14} を入力する。また、マルチプレクサ105の出力端は、パッド110に接続される。さらに、マルチプレクサ105の選択信号入力端は、パッド106に接続される。これにより、パッド110は、機能試験時にはクロックCLKの出力パッドとして使用され、通常動作時には信号 S_{14} の出力パッドとして使用される。

【0026】

ここで、マルチプレクサ105は、マルチプレクサ104の近傍に配置される。これにより、マルチプレクサ104からパッド109までの配線長とマルチプレクサ105からパッド110までの配線長とを同じにすることができる。したがって、信号出力端Qからパッド109までの配線長とクロック入力端CLKからパッド110までの配線長との差は、信号出力端Qからマルチプレクサ104までの配線長とクロック入力端CLKからマルチプレクサ105までの配線長との差となるが、この差は配線遅延上は無視できる。したがって、出力信号Qがパッド109に達するまでの遅延時間とクロックCLKがパッド110に達するまでの遅延時間とは、実質的に同一である。

【0027】

次に、図1に示した半導体装置のアクセスタイムを測定する方法について、図2を用いて説明する。

【0028】

機能試験を行う場合、まず、パッド106に供給する信号TESTを、機能試験モードの信号値に設定する。これにより、マルチプレクサ102はパッド107を選択し、マルチプレクサ103はパッド108を選択し、マルチプレクサ104は信号Qを選択し、且つ、マルチプレクサ105はクロックCLKを選択する。次に、パッド107からテスト用信号TDが入力され、且つ、パッド108からテスト用クロックTCLKが入力される。テスト用信号TDおよびテスト用クロックTCLKは、マルチプレクサ102、103を介して、マクロセル101に入力される。そして、マクロセル101は、テスト用クロックTCLKによって与えられたタイミング（図2の例では立ち上がりタイミング）でテスト用信号TDを読み込み、このテスト用信号TDの値に対応する値の信号Qを出力する。この信号Qは、マルチプレクサ104を介して、パッド109から出力される。また、テスト用クロックTCLKは、マルチプレクサ105を介し、クロックMCLKとしてパッド110から出力される。

【0029】

この実施の形態では、パッド108にテスト用クロックTCLKが供給されてからパッド109が信号Qを出力するまでの所要時間 T_1 と、パッド108にテスト用クロックTCLKが供給されてからパッド110がテスト用クロックMCLKを出力するまでの所要時間 T_2 とが、測定される。そして、これらの所要時間の差 $T_1 - T_2$ が計算される。図2に示したように、テスト用クロックTCLKがパッド108に印加されてからマクロセル101に入力されるまでの時間を t_1 、マクロセルがテスト用クロックTCLKを入力してから信号Qを出力するまでの時間（すなわちアクセスタイム）を t_x 、信号Qが出力されてからパッド109に達するまでの時間を t_2 とすると、時間 T_1 は、 $t_1 + t_x + t_2$ である。また、上述したように、出力端Qからパッド109までの配線遅延とクロック入力端CLKからパッド110までの配線遅延とは、実質的に同じなので、時間 T_2 は $t_1 + t_2$ である。したがって、時間差 $T_1 - T_2$ は、アクセスタイム t_x と一致する。すなわち、時間差 $T_1 - T_2$ は、アクセスタイムの測定値 T_1 から配線遅延の影響を除去した値となる。

【0030】

このように、この実施の形態に係る半導体装置によれば、マクロセルの正確なアクセスタイムを測定することができる。

【0031】

第2の実施の形態

次に、この発明の第2の実施の形態について、図3を用いて説明する。この実施の形態は、マクロセルのアクセスタイムを正確に判定する半導体装置の例である。

【0032】

図3は、この実施の形態に係る半導体装置の要部構成を示す回路図である。

【0033】

図3に示したように、この半導体装置は、マクロセル301と、2入力のマルチプレクサ302、303と、3入力のマルチプレクサ304と、入力パッド305、306、307、308と、出力パッド309とを備えている。

【0034】

マクロセル301は、RAM等を構成し、信号入力端D、クロック入力端CLKおよび信号出力端Qを備えている。後述するように、信号入力端Dおよびクロック入力端CLKは、マルチプレクサ302、303から信号DおよびクロックCLKを入力する。また、信号出力端Qは、図示しない後段の回路ブロック等およびマルチプレクサ304に、出力信号Qを出力する。

【0035】

マルチプレクサ302は、一方の入力端がパッド307に接続され、他方の入力端が他の回路ブロック等（図示せず）の出力信号 S_{31} を入力する。また、マルチプレクサ302の出力端は、マクロセル301の信号入力端Dに接続される。さらに、マルチプレクサ302の選択信号入力端は、パッド306に接続される。マルチプレクサ302の一方の入力端とパッド307とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド307を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0036】

マルチプレクサ303は、一方の入力端がパッド308に接続され、他方の入

力端が他の回路ブロック等（図示せず）からのクロック S_{32} を入力する。また、マルチプレクサ 3 0 3 の出力端は、マクロセル 3 0 1 のクロック入力端 CLK に接続される。さらに、マルチプレクサ 3 0 3 の選択信号入力端は、パッド 3 0 6 に接続される。マルチプレクサ 3 0 3 の一方の入力端とパッド 3 0 8 とは、機能試験時に接続されればよく、通常動作時にはパッド 3 0 8 を他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【 0 0 3 7 】

マルチプレクサ 3 0 4 は、第 1 の入力端がマクロセル 3 0 1 の信号出力端 Q に接続され、第 2 の入力端が他の回路ブロック等（図示せず）の出力信号 S_{33} を入力し、さらに、第 3 の入力端がマクロセル 3 0 1 のクロック入力端 CLK に接続される。また、マルチプレクサ 3 0 4 の出力端は、パッド 3 0 9 に接続される。さらに、マルチプレクサ 3 0 4 の一方の選択信号入力端はパッド 3 0 5 に接続され、他方の選択信号入力端はパッド 3 0 6 に接続される。これにより、パッド 3 0 9 は、機能試験時には信号 Q およびクロック CLK の出力パッドとして使用され、通常動作時には信号 S_{33} の出力パッドとして使用される。

【 0 0 3 8 】

この実施の形態では、信号 Q およびクロック CLK が、ともに、マルチプレクサ 3 0 4 を介して、パッド 3 0 9 から出力される。したがって、信号出力端 Q からパッド 3 0 9 までの配線長とクロック入力端 CLK からパッド 3 0 9 までの配線長との差は、信号出力端 Q からマルチプレクサ 3 0 4 までの配線長とクロック入力端 CLK からマルチプレクサ 3 0 4 までの配線長との差となる。したがって、マルチプレクサ 3 0 4 は、この差が配線遅延上無視できるような位置に、配置される。例えば、マルチプレクサ 3 0 4 を、マクロセル 3 0 1 の近傍に配置することにより、かかる配線遅延を無視することができるようになる。

【 0 0 3 9 】

次に、図 3 に示した半導体装置のアクセスタイムを測定する方法について、説明する。

【 0 0 4 0 】

機能試験を行う場合、まず、パッド 3 0 6 に供給する信号 TEST を、機能試

験モードの信号値に設定する。さらに、パッド305に供給する信号MODEを、出力端Qを選択するための信号値に設定する。これにより、マルチプレクサ302はパッド307を選択し、マルチプレクサ303はパッド308を選択し、マルチプレクサ304は出力端Qを選択する。続いて、パッド307からテスト用信号TDが入力され、且つ、パッド308からテスト用クロックTCLKが入力される。テスト用信号TDおよびテスト用クロックTCLKは、マルチプレクサ302、303を介して、マクロセル301に入力される。そして、マクロセル301は、信号TQを出力する。この信号TQは、マルチプレクサ304を介して、パッド309から出力される。このとき、パッド308にテスト用クロックTCLKが供給されてからパッド309が信号TQを出力するまでの所要時間 T_3 が、測定される。

【0041】

次に、信号MODEが、クロック入力端CLKを選択するための信号値に変更される。そして、パッド308からテスト用クロックTCLKが入力される。テスト用クロックTCLKは、マルチプレクサ303、304を介して、パッド309から出力される。このとき、テスト用クロックTCLKが、パッド308に供給されてからパッド309に達するまでの所要時間 T_4 が、測定される。

【0042】

その後、所要時間の差 $T_3 - T_4$ を演算することにより、アクセスタイムが算出される。

【0043】

このように、この実施の形態では、1個のマルチプレクサを用いて所要時間 T_3 、 T_4 を個別に測定した後で、アクセスタイムを算出する。この実施の形態によっても、マクロセルの正確なアクセスタイムを測定することができる。

【0044】

第3の実施の形態

次に、この発明の第3の実施の形態について、図4を用いて説明する。この実施の形態は、マクロセルの出力信号が次段の論理回路ブロックに取り込まれるまでの所要時間を正確に判定する半導体装置の例である。

【 0 0 4 5 】

図 4 は、この実施の形態に係る半導体装置の要部構成を示す回路図である。

【 0 0 4 6 】

図 4 に示したように、この半導体装置は、マクロセル 4 0 1 と、論理回路ブロック 4 0 2 と、ラッチ 4 0 3 と、マルチプレクサ 4 0 4、4 0 5、4 0 6、4 0 7 と、入力パッド 4 0 8、4 0 9、4 1 0 と、出力パッド 4 1 1、4 1 2 とを備えている。

【 0 0 4 7 】

マクロセル 4 0 1 は、RAM 等を構成し、信号入力端 D、クロック入力端 CLK および信号出力端 Q を備えている。信号入力端 D およびクロック入力端 CLK は、マルチプレクサ 4 0 4、4 0 5 から信号 D およびクロック CLK を入力する。また、信号出力端 Q は、ラッチ 4 0 3、後段の論理回路ブロック 4 0 2 およびマルチプレクサ 4 0 6 に、出力信号 Q を出力する。

【 0 0 4 8 】

論理回路ブロック 4 0 2 は、入力回路として、ラッチ 4 0 2 a を備えている。ラッチ 4 0 2 a は、マクロセル 4 0 1 から入力された信号 Q を、クロック S_{41} のタイミングで保持する。論理回路ブロック 4 0 2 は、ラッチ 4 0 2 a の出力信号を用いて所定の論理演算等を行う。

【 0 0 4 9 】

ラッチ 4 0 3 は、ラッチ 4 0 2 a のダミーとして使用される。したがって、ラッチ 4 0 3 としては、ラッチ 4 0 2 a と同じアクセスタイムのものが使用される。このラッチ 4 0 3 は、マクロセル 4 0 1 から入力された信号 Q を、クロック S_{41} のタイミングで保持・出力する。

【 0 0 5 0 】

マルチプレクサ 4 0 4 は、一方の入力端がパッド 4 0 9 に接続され、他方の入力端が他の回路ブロック等（図示せず）の出力信号 S_{42} を入力する。また、マルチプレクサ 4 0 4 の出力端は、マクロセル 4 0 1 の信号入力端 D に接続される。さらに、マルチプレクサ 4 0 4 の選択信号入力端は、パッド 4 0 8 に接続される。マルチプレクサ 4 0 4 の一方の入力端とパッド 4 0 9 とは、機能試験時に接続

されればよい。したがって、通常動作時には、パッド409を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0051】

マルチプレクサ405は、一方の入力端がパッド410に接続され、他方の入力端が他の回路ブロック等（図示せず）からのクロック S_{43} を入力する。また、マルチプレクサ405の出力端は、マクロセル401のクロック入力端CLKに接続される。さらに、マルチプレクサ405の選択信号入力端は、パッド408に接続される。マルチプレクサ405の一方の入力端とパッド410とは、機能試験時に接続されればよく、通常動作時にはパッド410を他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0052】

マルチプレクサ406は、一方の入力端がマクロセル401の信号出力端Qに接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号 S_{44} を入力する。また、マルチプレクサ406の出力端は、パッド412に接続される。さらに、マルチプレクサ406の選択信号入力端は、パッド408に接続される。

【0053】

マルチプレクサ407は、一方の入力端がラッチ403の信号出力端に接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号 S_{45} を入力する。また、マルチプレクサ407の出力端は、パッド411に接続される。さらに、マルチプレクサ407の選択信号入力端は、パッド408に接続される。

【0054】

この実施の形態では、信号出力端Qからラッチ402aまでの距離と、信号出力端Qからラッチ403までの距離とを、実質的に一致させる。このため、例えば、ラッチ403を、論理回路ブロック402に近傍に配置する。

【0055】

次に、図4に示した半導体装置のアクセスタイムを判定する方法について、説明する。

【0056】

機能試験を行う場合、まず、パッド408に供給する信号TESTを、機能試験モードの信号値に設定する。これにより、マルチプレクサ404はパッド409を選択し、マルチプレクサ405はパッド410を選択し、マルチプレクサ406は信号Qを選択し、且つ、マルチプレクサ407はラッチ403の出力信号を選択する。次に、パッド409からテスト用信号TDが入力され、且つ、パッド410からテスト用クロックTCLKが入力される。テスト用信号TDおよびテスト用クロックTCLKは、マルチプレクサ404、405を介して、マクロセル401に入力される。そして、マクロセル401が、信号Qを出力する。この信号Qは、マルチプレクサ406を介して、パッド412から出力される。また、この信号Qは、ラッチ403に保持される。ラッチ403に保持された信号Tqは、マルチプレクサ407を介して、パッド411から出力される。

【0057】

この機能試験においては、パッド412に出力される信号TQとパッド411に出力される信号Tqを測定し、両者が一致、不一致を確認することでラッチ403（402a）にマイクロセルの出力Qが保持されているかどうかを判定できる。

【0058】

すなわち、この実施の形態によれば、マクロセルのアクセスタイムが、後段の論理回路ブロック402を動作させる上で問題の無いレベルにあるかどうかを、正確に判定することができる。

【0059】

第4の実施の形態

以下、この発明の第4の実施の形態について、図5を用いて説明する。この実施の形態は、マクロセルのセットアップタイムを正確に判定する半導体装置の例である。

【0060】

図5は、この実施の形態に係る半導体装置の要部構成を示す回路図である。

【0061】

図5に示したように、この半導体装置は、マクロセル501と、2入力のマル

チプレクサ502, 503, 504と、3入力のマルチプレクサ505と、入力パッド506, 507, 508, 509と、出力パッド510, 511とを備えている。

【0062】

マクロセル501は、RAM等を構成し、信号入力端D、クロック入力端CLKおよび信号出力端Qを備えている。後述するように、信号入力端Dおよびクロック入力端CLKは、マルチプレクサ502, 503から信号DおよびクロックCLKを入力する。また、信号出力端Qは、図示しない後段の回路ブロック等およびマルチプレクサ504に、出力信号Qを出力する。

【0063】

マルチプレクサ502は、一方の入力端がパッド508に接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号 S_{51} を入力する。また、マルチプレクサ502の出力端は、マクロセル501の信号入力端Dに接続される。さらに、マルチプレクサ502の選択信号入力端は、パッド507に接続される。マルチプレクサ502の一方の入力端とパッド508とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド508を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0064】

マルチプレクサ503は、一方の入力端がパッド509に接続され、他方の入力端が他の回路ブロック等（図示せず）からのクロック S_{52} を入力する。また、マルチプレクサ503の出力端は、マクロセル501のクロック入力端CLKに接続される。さらに、マルチプレクサ503の選択信号入力端は、パッド507に接続される。マルチプレクサ503の一方の入力端とパッド509とは、機能試験時に接続されればよく、通常動作時にはパッド509を他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0065】

マルチプレクサ504は、一方の入力端がマクロセル501の信号出力端Qに接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号 S_{53} を入力する。また、マルチプレクサ504の出力端は、パッド510に接続される。

。さらに、マルチプレクサ 5 0 4 の選択信号入力端は、パッド 5 0 7 に接続される。これにより、パッド 5 1 0 は、機能試験時には信号 Q の出力パッドとして使用され、通常動作時には信号 S_{53} の出力パッドとして使用される。

【 0 0 6 6 】

マルチプレクサ 5 0 5 は、第 1 の入力端がマクロセル 5 0 1 の信号入力端 D に接続され、第 2 の入力端がマクロセル 5 0 1 のクロック入力端 C L K に接続され、第 3 の入力端が他の回路ブロック等（図示せず）の出力信号 S_{54} を入力する。また、マルチプレクサ 5 0 5 の出力端は、パッド 5 1 1 に接続される。さらに、マルチプレクサ 5 0 5 の一方の選択信号入力端はパッド 5 0 6 に接続され、他方の選択信号入力端はパッド 5 0 7 に接続される。これにより、パッド 5 1 1 は、機能試験時には信号 D およびクロック C L K の出力パッドとして使用され、通常動作時には信号 S_{54} の出力パッドとして使用される。

【 0 0 6 7 】

この実施の形態では、マルチプレクサ 5 0 3 からマルチプレクサ 5 0 5 に達する信号の配線遅延とマルチプレクサ 5 0 2 からマルチプレクサ 5 0 5 に達する信号の配線遅延との差を、無視できるようにする。このため、例えば、マルチプレクサ 5 0 3 を、マルチプレクサ 5 0 2 の近傍に配置する。

【 0 0 6 8 】

次に、図 5 に示した半導体装置のセットアップタイムの試験を行う方法の一例について、説明する。

【 0 0 6 9 】

機能試験を行う場合、まず、パッド 5 0 7 に供給する信号 T E S T を、機能試験モードの信号値に設定する。さらに、パッド 5 0 6 に供給する信号 M O D E を、信号入力端 D を選択するための信号値に設定する。これにより、マルチプレクサ 5 0 2 はパッド 5 0 8 を選択し、マルチプレクサ 5 0 3 はパッド 5 0 9 を選択し、マルチプレクサ 5 0 4 は信号 Q を選択し、且つ、マルチプレクサ 5 0 5 は信号入力端 D を選択する。続いて、パッド 5 0 8 からテスト用信号 T D が入力され、且つ、パッド 5 0 9 からテスト用クロック T C L K が入力される。このとき、テスト用信号 T D がパッド 5 0 8 に印加されてから、所定時間後 τ_1 にテスト用

クロックTCLKが立ち上がり、さらに、この立ち上がりタイミングから所定時間後 τ_2 にテスト用信号TDの印加が終了する。これらの信号TD, TCLKは、マルチプレクサ502, 503を介して、マクロセル501に印加される。マクロセル501は、テスト用クロックTCLKの立ち上がりタイミングでテスト用信号TDを取り込み、この信号TDの値に応じた値の信号Qを出力する。この信号Qは、マルチプレクサ504を介して、パッド510から出力される。また、信号Dは、マルチプレクサ505を介して、パッド511から出力される。このとき、パッド508にテスト用信号TDが供給されてからパッド109が信号Dを出力するまでの所要時間 T_7 が、測定される。

【0070】

次に、信号MODEが、クロック入力端CLKを選択するための信号値に変更される。このとき、パッド508からテスト用クロックTCLKが入力される。テスト用クロックTCLKは、マルチプレクサ503, 505を介して、パッド511から出力される。そして、パッド509にテスト用クロックTCLKが供給されてからパッド511がテスト用クロックTCLKを出力するまでの所要時間 T_8 が、測定される。

【0071】

その後、所要時間の差 $T_7 - T_8$ を演算する。この時間差 $T_7 - T_8$ は、パッド508から信号入力端Dまでの経路の配線遅延と、パッド509からクロック入力端CLKまでの経路の配線遅延との差に等しい。次に、時間差 $T_7 - T_8$ が、上述の所定時間 τ_1 , τ_2 に加算される。これらの加算結果のうち、 $\tau_1 + (T_7 - T_8)$ は、テスト用信号TDがマクロセル501に印加されてからテスト用クロックTCLKがマクロセル501に印加されるまでの、実際の時間である。また、 $\tau_2 + (T_7 - T_8)$ は、テスト用クロックTCLKがマクロセル501に印加されてからテスト用信号TDの印加が終了するまでの、実際の時間である。

【0072】

このように、この実施の形態では、セットアップタイムの試験を正確に行うことができる。

【 0 0 7 3 】

【発明の効果】

以上詳細に説明したように、本発明に係る半導体装置によれば、配線遅延の影響を排除して正確な機能試験を行うことができる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態に係る半導体装置の構成を示す回路図である。

【図 2】

第 1 の実施の形態に係る半導体装置の試験方法を説明するためのタイミングチャートである。

【図 3】

第 2 の実施の形態に係る半導体装置の構成を示す回路図である。

【図 4】

第 3 の実施の形態に係る半導体装置の構成を示す回路図である。

【図 5】

第 4 の実施の形態に係る半導体装置の構成を示す回路図である。

【図 6】

従来の半導体装置の構成を示す回路図である。

【符号の説明】

1 0 1 マクロセル

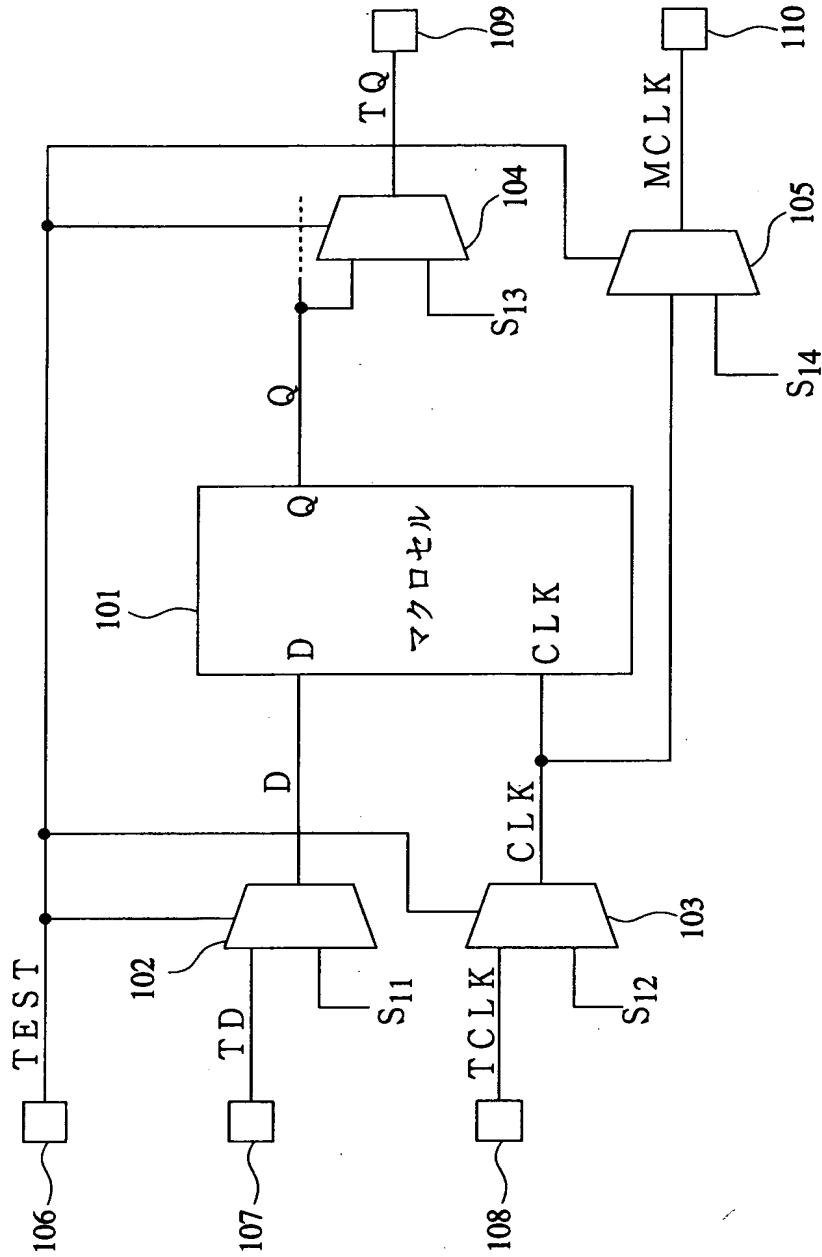
1 0 2, 1 0 3, 1 0 4, 1 0 5 マルチプレクサ

1 0 6, 1 0 7, 1 0 8 入力パッド

1 0 9, 1 1 0 出力パッド

【書類名】 図面

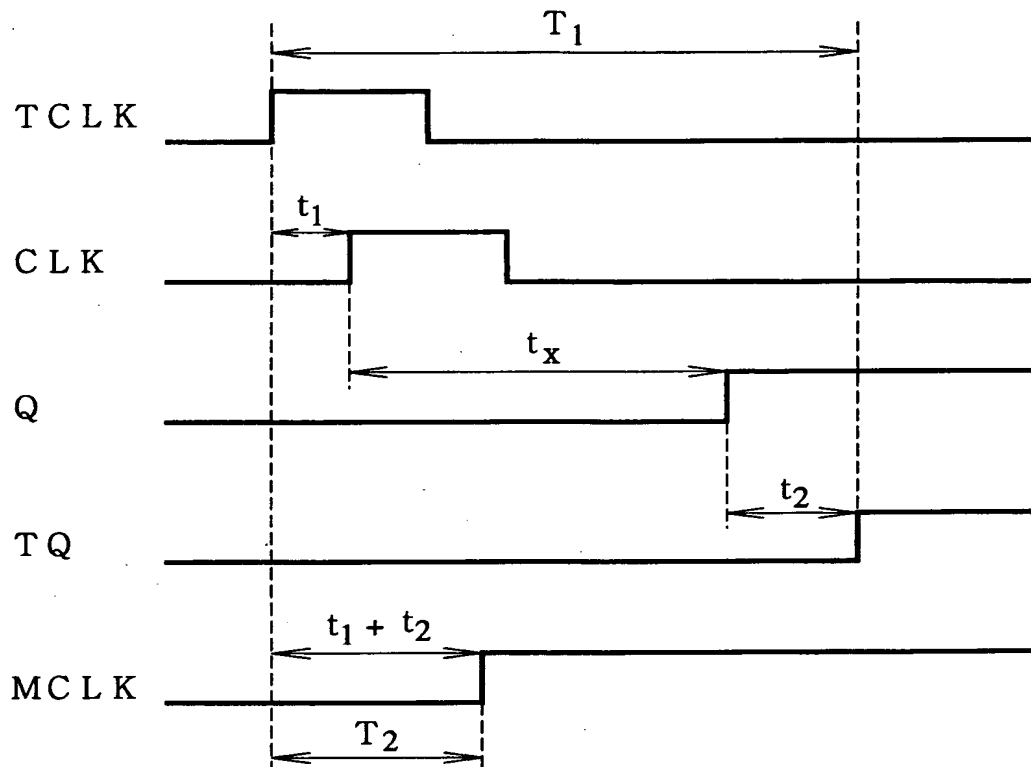
【図 1】



102~105: マルチプレクサ
 106~108: 入力パッド
 109,110: 出力パッド

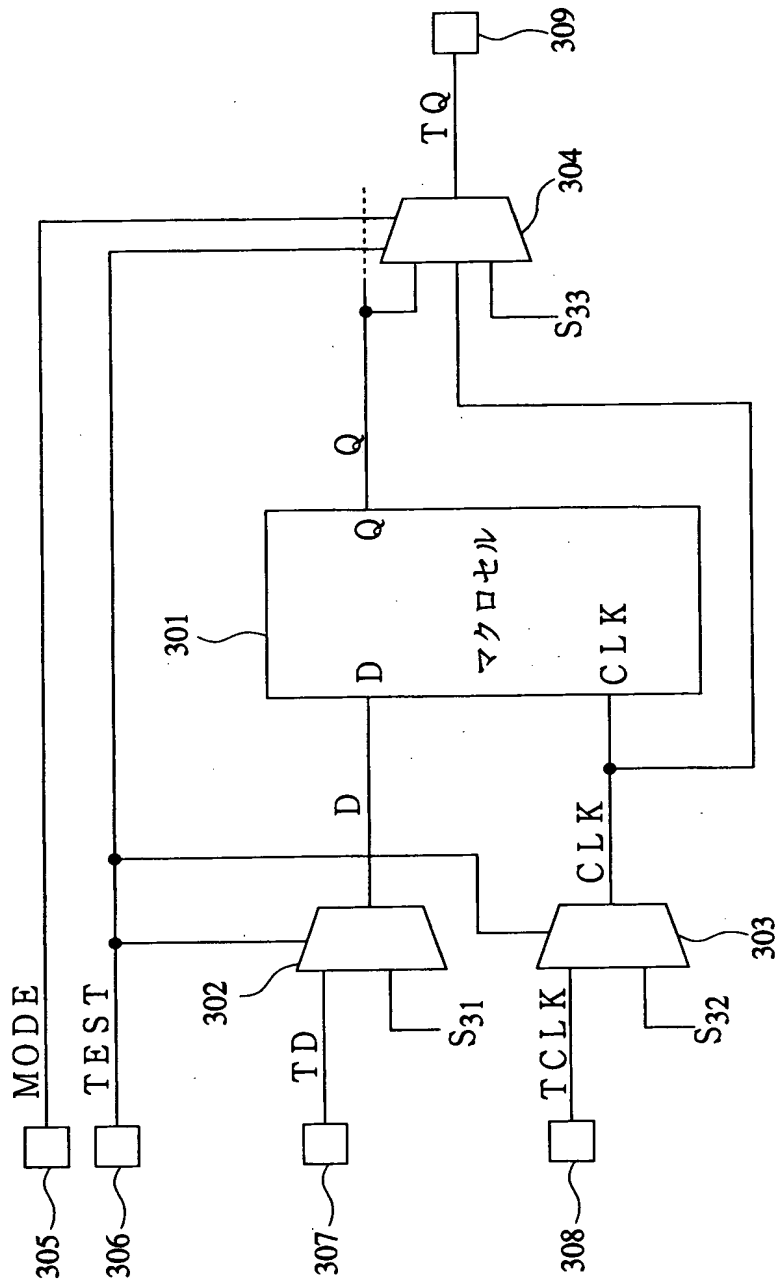
第 1 の実施の形態の構成図

【図 2】



第 1 の実施の形態の動作説明図

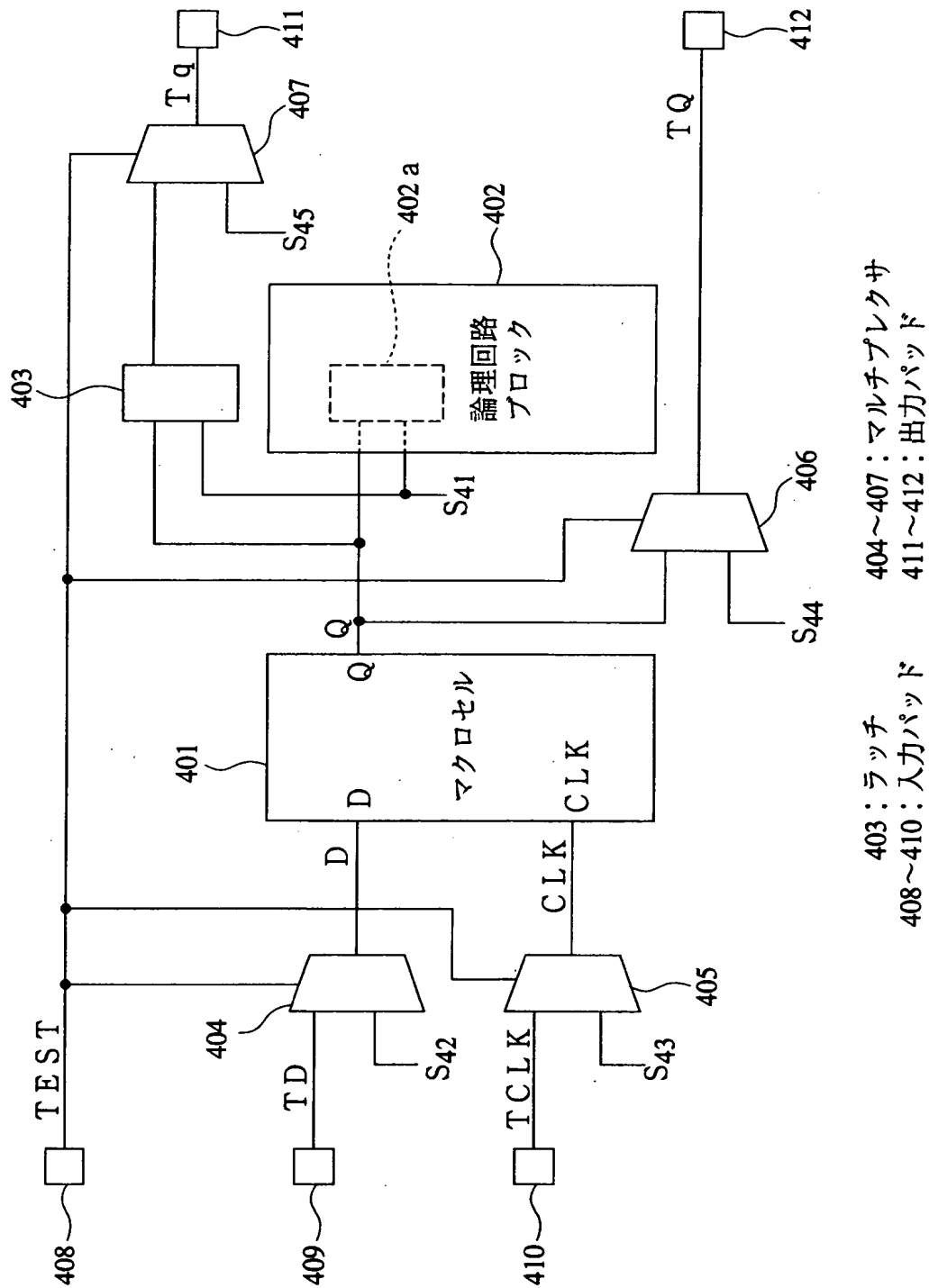
【図3】



302～304：マルチプレクサ
305～308：入力パッド
309：出力パッド

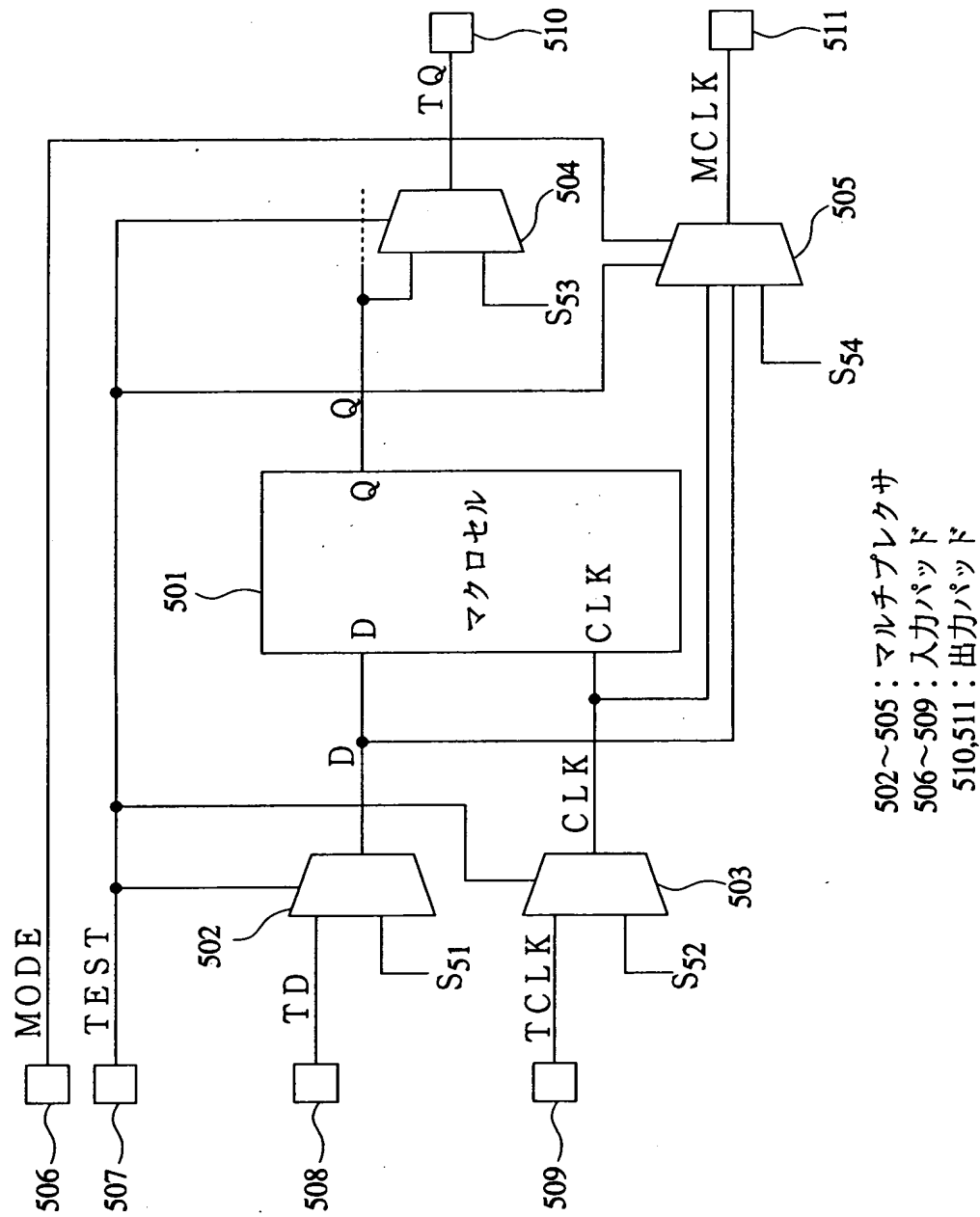
第2の実施の形態の構成図

【図 4】



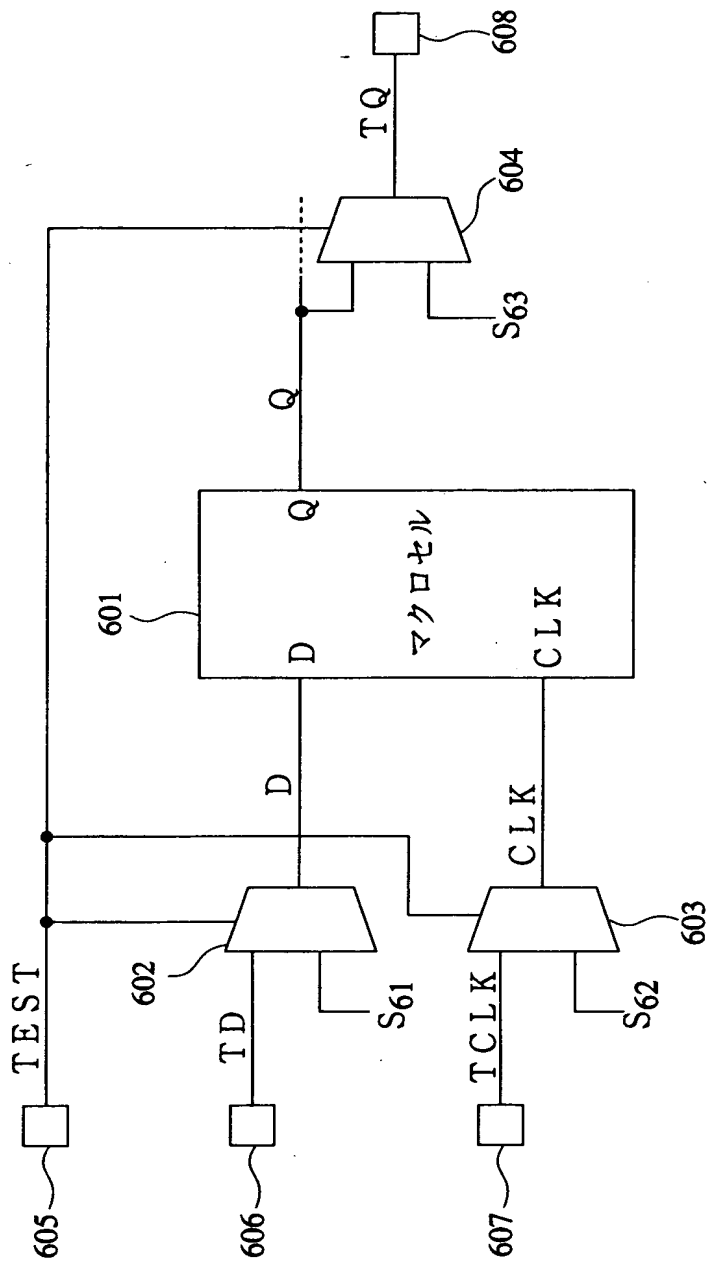
第3の実施の形態の構成図

【図 5】



第4の実施の形態の構成図

【図 6】



従来技術の構成図

【書類名】 要約書

【要約】

【課題】 マクロセルのアクセスタイムを測定する際に、配線遅延の影響を排除する。

【解決手段】 信号TDは、マルチプレクサ102を介してマクロセル101の入力端Dに供給される。クロックTCLKは、マルチプレクサ103を介してマクロセル101に供給される。マクロセル101の信号Qは、マルチプレクサ104を介してパッド109に出力される。クロックTCLKは、マルチプレクサ103, 105を介してパッド110からも出力される。クロックTCLKがパッド108に印加されてからパッド109が信号Qを出力するまでの時間 T_1 と、クロックTCLKがパッド108に印加されてからパッド110がクロックTCLKを出力するまでの時間 T_2 とを測定し、 $T_1 - T_2$ を演算する。この演算結果は、マクロセル101のアクセスタイムから配線遅延を差し引いた値と、実質的に一致する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-216851
受付番号	50000904748
書類名	特許願
担当官	第一担当上席 0090
作成日	平成12年 7月19日

<認定情報・付加情報>

【提出日】	平成12年 7月18日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社